

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2003年 2月13日

出 願 番 号

Application Number:

特願2003-034678

[ ST.10/C ]:

[ JP 2003-034678 ]

出 願 人

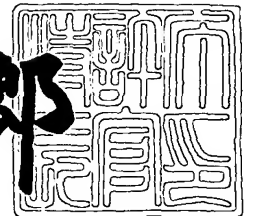
Applicant(s):

三菱電機株式会社

2003年 3月 7日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3014172

【書類名】 特許願

【整理番号】 543340JP01

【提出日】 平成15年 2月13日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/812

【発明者】

    【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社  
社内

    【氏名】 日坂 隆行

【特許出願人】

    【識別番号】 000006013

    【住所又は居所】 東京都千代田区丸の内二丁目2番3号

    【氏名又は名称】 三菱電機株式会社

【代理人】

    【識別番号】 100062144

    【弁理士】

    【氏名又は名称】 青山 葆

【選任した代理人】

    【識別番号】 100086405

    【弁理士】

    【氏名又は名称】 河宮 治

【選任した代理人】

    【識別番号】 100113170

    【弁理士】

    【氏名又は名称】 稲葉 和久

【手数料の表示】

    【予納台帳番号】 013262

    【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 半導体基板上に形成されたチャネル層と、  
前記チャネル層の上に形成されたショットキー層と、  
前記ショットキー層の上に設けられたゲート電極と、  
前記ショットキー層の上で、前記ゲート電極から互いに反対方向に離間した 2  
箇所それぞれ  $n+$  層を介して設けられたソース電極とドレイン電極と  
を備え、

前記ショットキー層より狭いバンドギャップを有する第 1 層と、前記第 1 層の  
上に、前記ショットキー層に対してバンド不連続を有する第 2 層とが、前記ショ  
ットキー層の中に挿入されていることを特徴とする半導体装置。

【請求項 2】 前記第 1 層は、格子欠陥を有する材料からなることを特徴と  
する請求項 1 に記載の半導体装置。

【請求項 3】 半導体基板上に形成されたチャネル層と、  
前記チャネル層の上に形成されたショットキー層と、  
前記ショットキー層の上に設けられたゲート電極と、  
前記ショットキー層の上で、前記ゲート電極から互いに反対方向に離間した 2  
箇所それぞれ  $n+$  層を介して設けられたソース電極とドレイン電極と  
を備え、

p 型ドーパ層と、前記 p 型ドーパ層の上に n 型ドーパ層とが、前記ショットキ  
ー層の中に挿入されていることを特徴とする半導体装置。

【請求項 4】 前記ソース電極の下に、前記ソース電極と前記第 1 ショット  
キー層とを接続する p+コンタクト層を有することを特徴とする請求項 1 から 3  
のいずれか一項に記載の半導体装置。

【請求項 5】 前記ソース電極から前記半導体基板まで貫くビアホールを備  
えることを特徴とする請求項 1 から 3 のいずれか一項に記載の半導体装置。

【請求項 6】 半導体基板上に形成されたチャネル層と、  
前記チャネル層の上に形成されたショットキー層と、

前記ショットキー層の上に設けられたゲート電極と、

前記ショットキー層の上で、前記ゲート電極から互いに反対方向に離間した 2 箇所それぞれ  $n +$  層を介して設けられたソース電極とドレイン電極とを備え、

前記ショットキー層の表面を P 系化合物半導体層で覆ったことを特徴とする半導体装置。

【請求項 7】 前記ソース電極と前記ショットキー層との間の前記  $n +$  層と、前記ドレイン電極と前記ショットキー層との間の前記  $n +$  層とをそれぞれ上下方向から挟む第 1 及び第 2 の P 系化合物半導体層を備えることを特徴とする請求項 6 に記載の半導体装置。

【請求項 8】  $n -$  層と、前記  $n -$  層をそれぞれ上下方向から挟む第 3 及び第 4 の P 系化合物半導体層とが、前記  $n +$  層と前記ショットキー層との間に挟まれていることを特徴とする請求項 6 に記載の半導体装置。

【請求項 9】 前記 P 系化合物半導体層は、InGaP 層であることを特徴とする請求項 6 から 8 のいずれか一項に記載の半導体装置。

【請求項 10】 前記チャネル層を上下方向から挟む第 1 及び第 2 電子供給層をさらに備えることを特徴とする請求項 1 から 9 のいずれか一項に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、MESFET、PHEMT等の半導体装置に関する。

【0002】

【従来の技術】

マイクロ波帯からミリ波帯の高周波トランジスタとして、GaAsやInPを用いたショットキーゲート電界効果トランジスタ (metal-semiconductor field effect transistor: MESFET)、歪み高電子移動度トランジスタ (pseudomorphic high electron mobility transistors: PHEMT) 等が用いられている。これらのデバイスは、高出力RF (radio frequency) 出力動作させた場合

には、電界に起因する素子劣化を起こすことが知られている（例えば、非特許文献 1、非特許文献 2 参照。）。特に、高周波トランジスタは、高周波数特性が要求されるので、ゲート長、チャネル深さ等の素子寸法を小さく設計される。このような素子を高電圧動作させた場合には、電界が非常に高くなり、電界に起因する特性劣化が生じやすい。例えば、GaAs PHEMT は、室温での RF 信頼性試験で出力が低下するとともに、動作時に高温になることが報告されている（例えば、非特許文献 3）。

## 【 0 0 0 3 】

また、狭いバンドギャップの第 1 の半導体層と広いバンドギャップの第 2 の半導体層を有し、上記第 1 の半導体層中の上記第 2 の半導体層との界面に 2 次元電子ガスチャンネルが形成される高電子移動度トランジスタにおいて、第 2 の半導体層との間で p-n 接合を形成し、且つエネルギーバンド構造において、第 2 の半導体層の伝導体下端より高い伝導体下端を有して障壁を形成するゲート部となる第 3 の半導体層を、第 2 の半導体層上に設けて構成している（例えば、特許文献 1 参照。）。さらに、キャリア供給層やバッファ層中にこれらの層よりもバンドギャップが大きい化合物半導体層（エネルギー障壁層）を挿入することによってキャリアに対するエネルギー障壁を形成し、リーク電流を減らし、更に低雑音性能の向上を図る化合物半導体装置がある（例えば、特許文献 2 参照。）。またさらに、キャリア供給層の中に禁制帯幅の大きな層を形成し、正孔の流入を阻止している高電子移動度トランジスタがある（例えば、特許文献 3 参照。）。

## 【 0 0 0 4 】

## 【特許文献 1】

特開昭 6 4 - 3 6 0 8 0 号公開公報

## 【特許文献 2】

特開平 6 - 2 4 4 2 1 8 号公開公報

## 【特許文献 3】

特開平 9 - 2 0 5 1 9 6 号公開公報

## 【非特許文献 1】

GaAs IC symposium (1995)、第 81-84

頁

【非特許文献2】

GaAs IC symposium (1994)、第259-2

62頁

【非特許文献3】

GaAs MANTECH (1997)、第42-45頁

【0005】

【発明が解決しようとする課題】

PHEMTの劣化機構は、次のように考えられている。まず、高電界動作時に衝突電離により高エネルギーを持ったホットエレクトロン又はホットホールのホットキャリアが発生し、このホットキャリアが半導体装置の表面に到達して該表面を劣化させる。ホットキャリアがホットエレクトロンの場合には、表面パッシベーション膜にトラップされ、その負電荷のために空乏層が延びてチャネル狭窄が起こる。その結果、 $I_{max}$  値が低下し、PHEMTの特性が劣化すると考えられる。この劣化機構は電界が大きくなるほど顕著になる。また、高周波特性を向上させるためにInP系HEMT、あるいはメタモルフィックHEMTでは、衝突電離のエネルギーが大きくなるため、特性劣化が顕著となる。

【0006】

本発明の目的は、MESFETやPHEMT等の半導体装置において、電界による特性劣化を抑制することである。

【0007】

【課題を解決するための手段】

本発明に係る半導体装置は、半導体基板上に形成されたチャネル層と、  
前記チャネル層の上に形成されたショットキー層と、  
前記ショットキー層の上に設けられたゲート電極と、  
前記ショットキー層の上で、前記ゲート電極から互いに反対方向に離間した2箇所にそれぞれn+層を介して設けられたソース電極とドレイン電極とを備え、

前記ショットキー層より狭いバンドギャップを有する第1層と、前記第1層の

上に、前記ショットキー層に対してバンド不連続を有する第2層とが、前記ショットキー層の中に挿入されていることを特徴とする。

【0008】

【発明の実施の形態】

本発明の実施の形態に係る半導体装置について、添付図面を用いて説明する。なお、図面においては実質的に同一の部材には同一の符号を付している。

【0009】

実施の形態1.

本発明の実施の形態1に係る半導体装置について、図1と図2とを用いて説明する。図1は、この半導体装置の断面図である。この半導体装置は、チャンネル層にInGaAs層を用いた歪み高電子移動度トランジスタ(PHEMT)である。また、この半導体装置は、GaAs基板10上に、AlGaAsバッファ層9、Siドープの下部電子供給層8、InGaAsチャンネル層7、Siドープの上部電子供給層6、AlGaAsショットキー層5a、5bが順に積層されている。さらに、この半導体装置は、2層のショットキー層5aとショットキー層5bとの間に再結合層12と、該再結合層12の上に設けられたバリア層11とが挟まれていることを特徴とする。また、上記ショットキー層5bの上には、ゲート電極1が設けられている。また、ショットキー層5bの上で、ゲート電極1から互いに反対方向に離間してn+GaAs層4を介してソース電極2とドレイン電極3とが設けられている。

【0010】

ここで、ショットキー層5には、通常Alのモル比0.24以下のAlGaAs層が用いられる。また、バリア層11は、ショットキー層5に対してバンド不連続( $\Delta E_c$ 、 $\Delta E_v$ )な半導体材料からなり、ホール又は電子等のキャリアに対してバリア効果を有する。バリア層11として、例えば、ショットキー層5よりAlのモル比が高い0.4以上のAlGaAs層や、InGaP層を用いることができる。さらに、再結合層12は、ショットキー層5よりバンドギャップが狭い材料からなる。再結合層12としては、例えば、InGaAsに酸素ドープされた層を用いることができる。また、再結合層12には、界面又は層内に格子



欠陥を有する層を用いてもよい。

#### 【0011】

次に、この半導体装置において、ショットキー層 5 a、5 b の間に設けられた再結合層 1 2 と、バリア層 1 1 とによる効果について、図 2 を用いて説明する。図 2 は、R F 高出力動作時において、高電界のためにチャネル層 4 内で発生したホットキャリアが再結合層 1 2 で消滅する過程を示す概略図である。高電界のために発生したホットキャリアは、上記バリア層 1 1 があるので、該バリア層 1 1 より上の表面に到達しない。このためホットキャリアによる表面劣化が抑制される。また、該バリア層 1 1 で止められたホットキャリアは、バリア層 1 1 の下に設けられた再結合層 1 2 でホールと電子との再結合によって消滅する。再結合層 1 2 がない場合、バリア層 1 1 で止められたホットキャリア、例えば、ホットホールがバリア層下で蓄積された場合にはポテンシャルが下がり、 $I_{ds}$  が増加してキック波形を生じると考えられる。この半導体装置では、バリア層 1 1 と、該バリア層の下に再結合層 1 2 を設けたことによりホットキャリアによる表面劣化を防ぐと共に、ホットキャリアの蓄積を防ぐことができる。

#### 【0012】

実施の形態 2.

本発明の実施の形態 2 に係る半導体装置について図 3 と図 4 とを用いて説明する。図 3 は、この半導体装置の断面図である。この半導体装置は、2 層のショットキー層 5 a とショットキー層 5 b との間に再結合層 1 2 と、該再結合層 1 2 の上に設けられたバリア層 1 1 とが挟まれていることを特徴とする。さらに、ソース電極 2 の下に、n+層 4 とショットキー層 5 a とバリア層 1 1 と再結合層 1 2 とを貫いて、ソース電極 2 とショットキー層 5 b とを接続する p+コンタクト層 1 5 が設けられていることを特徴とする。この p+コンタクト層 1 5 は、p 型ドーパント Mg、C 等のイオン注入によって形成される。

#### 【0013】

次に、この p+コンタクト層 1 5 による効果について、図 4 を用いて説明する。図 4 は、ソース電極 2 の下に設けた p+コンタクト層 1 5 によってバリア層 1 1 の下のホットホール 2 6 をソース電極 2 に流す過程を示す概略図である。その

ため、バリア層 1 1 の下でのホール (hole) の蓄積が抑制される。

#### 【 0 0 1 4 】

実施の形態 3.

本発明の実施の形態 3 に係る半導体装置について図 5 を用いて説明する。図 5 は、この半導体装置の断面図である。この半導体装置では、ショットキー層 5 a、5 b の間に n 型ドープ層 1 3 と、該 n 型ドープ層 1 3 の下に p 型ドープ層 1 4 を設けていることを特徴とする。n 型ドープ層 1 3 と p 型ドープ層 1 4 との積層によって、n 型ドープ層 1 3 ではポテンシャルが下がり、p 型ドープ層 1 4 ではポテンシャルが上がるため、バンド不連続が生じる。このため、この半導体装置では、ホットホールに対してバリア効果を有する。

#### 【 0 0 1 5 】

実施の形態 4.

本発明の実施の形態 4 に係る半導体装置について図 6 を用いて説明する。図 6 は、この半導体装置の断面図である。この半導体装置は、2 層のショットキー層 5 a とショットキー層 5 b との間に n 型ドープ層 1 3 と、該 n 型ドープ層 1 3 の上に設けられた p 型ドープ層 1 4 とが挟まれていることを特徴とする。さらに、ソース電極 2 から GaAs 基板 1 0 まで貫くビアホール 1 6 を設けていることを特徴とする。このビアホール 1 6 によって、n 型ドープ層 1 3 と p 型ドープ層 1 4 とによってせき止められたホールは、ビアホール 1 6 からソース電極に流れる。これにより、ホットホールの蓄積が抑制される。

#### 【 0 0 1 6 】

なお、この例ではビアホール 1 6 は、GaAs 基板 1 0 の面から開口され、ソース電極 2 まで貫通されたが、逆に、ソース電極 2 から開口され、GaAs 基板 1 0 まで貫通されてもよい。

#### 【 0 0 1 7 】

実施の形態 5.

本発明の実施の形態 5 に係る半導体装置について図 7 を用いて説明する。図 7 は、この半導体装置の断面図である。この半導体装置では、GaAs 基板 1 0 上に、AlGaAs バッファ層 9、Si ドープの下部電子供給層 8、InGaAs

チャンネル層 7、Si ドープの上部電子供給層 6、AlGaAs ショットキー層 5 が順に積層されている。また、上記ショットキー層 5 の上には、ゲート電極 1 が設けられている。さらに、ショットキー層 5 の上で、ゲート電極 1 から互いに反対方向に離間した箇所で、2 層の InGaP 層 17、18 に挟まれた n+GaAs 層 4 を介してソース電極 2 とドレイン電極 3 とが設けられている。なお、InGaAs 層 18 は、ショットキー層 5 の表面を覆っている。

#### 【0018】

次に、n+GaAs 層 4 を 2 層の InGaP 層 17、18 で挟むことによる効果について説明する。電界による表面劣化は、ショットキー層 5 の表面と n+GaAs 層 4 の表面で生じる。一方、P 系の InGaP 等の化合物半導体は、As 系の GaAs、AlGaAs 等の化合物半導体と比較して、酸化が起こりにくい。また、InGaP は、価電子帯でのバンド不連続 ( $\Delta E_v$ ) が大きく、ホットホールに対するバリア効果がある。さらに、InGaP は、表面酸化を生じにくい。そこで、表面劣化が生じやすいショットキー層 5 の表面と n+GaAs 層とを InGaP 層 17、18 で覆うことによって表面劣化が抑制される。なお、この半導体装置の作製では、図 7 に示す所定形状の InGaP は、GaAs、AlGaAs に対する InGaP の選択的なエッチングによって形成される。

#### 【0019】

実施の形態 6.

本発明の実施の形態 6 に係る半導体装置について図 8 を用いて説明する。図 8 は、この半導体装置の断面図である。この半導体装置では、GaAs 基板 10 上に、AlGaAs バッファ層 9、Si ドープの下部電子供給層 8、InGaAs チャンネル層 7、Si ドープの上部電子供給層 6、AlGaAs ショットキー層 5 が順に積層されている。また、上記ショットキー層 5 の上には、ゲート電極 1 が設けられている。さらに、ショットキー層 5 の上で、ゲート電極 1 から互いに反対方向に離間した箇所で、2 層の InGaP 層 17、18 に挟まれた n-GaAs 層 4 と、n+GaAs 層 4 とを介して、ソース電極 2 とドレイン電極 3 とがそれぞれ設けられている。なお、InGaAs 層 18 は、ショットキー層 5 の表面を覆っている。

## 【 0 0 2 0 】

この2層のInGaP層17、18に挟まれたn-GaAs層4と、n+GaAs層4とを設けた効果について説明する。上記実施の形態5で説明したのと同様に、ショットキー層5の表面と、n-GaAs層19の表面とをInGaP層17、18で覆うことによって、高電界による表面劣化が抑制される。

## 【 0 0 2 1 】

なお、上記実施の形態では、GaAs PHEMTを例として説明したが、本発明はこれに限定されず、MESFET、InP系HEMT、メタモルフィックHEMT等のFET (field-effect transistor) 構造を有する半導体装置にも適用可能である。

## 【 0 0 2 2 】

## 【発明の効果】

本発明に係る半導体装置によれば、2層のショットキー層の間に再結合層と、該再結合層の上に設けられたバリア層とを備える。RF高出力動作時において、高電界のためにチャネル層内で発生したホットキャリアは、上記バリア層でせき止められてこれより上の表面に到達しない。このためホットキャリアによる表面劣化が抑制される。また、該バリア層で止められたホットキャリアは、バリア層の下に設けられた再結合層でホールと電子との再結合によって消滅する。そこで、ホットキャリアの蓄積を防ぐことができる。

## 【図面の簡単な説明】

【図1】 本発明の実施の形態1に係る半導体装置の断面図である。

【図2】 図1の半導体装置において、バリア層と再結合層とによってホットキャリアを再結合させて消滅させる過程を示す概略図である。

【図3】 本発明の実施の形態2に係る半導体装置の断面図である。

【図4】 図3の半導体装置において、ソース電極下に設けたp+層によってバリア層下のホットホールをソース電極に流す過程を示す概略図である。

【図5】 本発明の実施の形態3に係る半導体装置の断面図である。

【図6】 本発明の実施の形態4に係る半導体装置の断面図である。

【図7】 本発明の実施の形態5に係る半導体装置の断面図である。

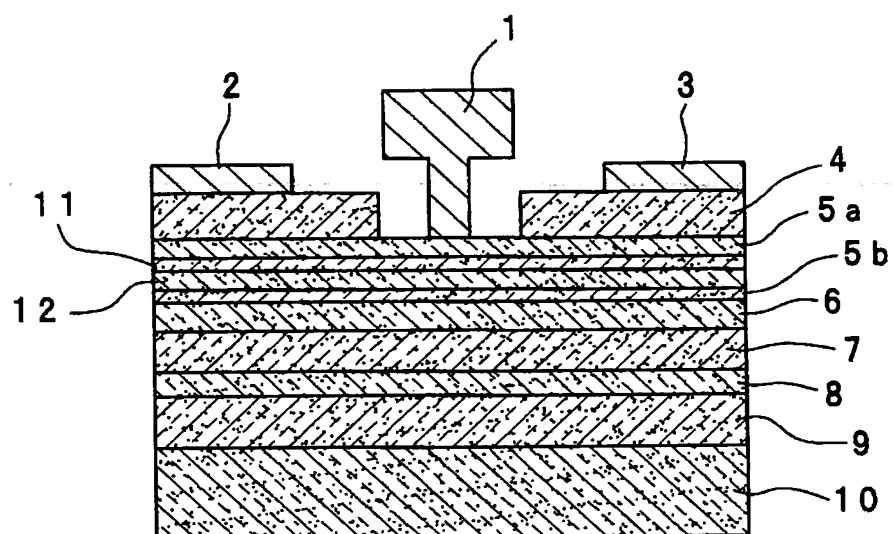
【図 8】 本発明の実施の形態 6 に係る半導体装置の断面図である。

【符号の説明】

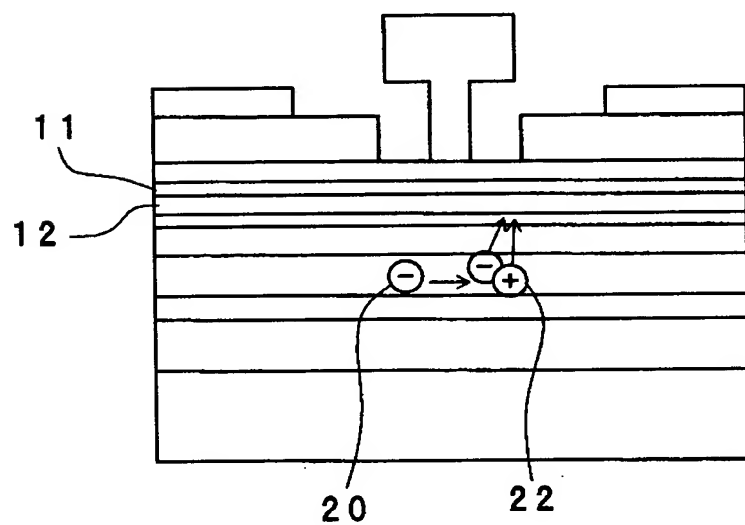
1 ゲート電極、2 ソース電極、3 ドレイン電極、4  $n + \text{GaAs}$  層、5  
、5 a、5 b  $\text{AlGaAs}$  層（ショットキー層）、6 上部電子供給層、7  
チャンネル層、8 下部電子供給層、9 バッファ層、10  $\text{GaAs}$  基板、11  
バリア層、12 再結合層、13  $n$  型ドープ層、14  $p$  型ドープ層、15  
 $p +$ コンタクト層、16 ビアホール、17、18  $\text{InGaP}$  層、19  $n$   
 $- \text{GaAs}$  層、20 電子、22 ホール、24 ホットホール、26 ホット  
ホールの経路

【書類名】 図面

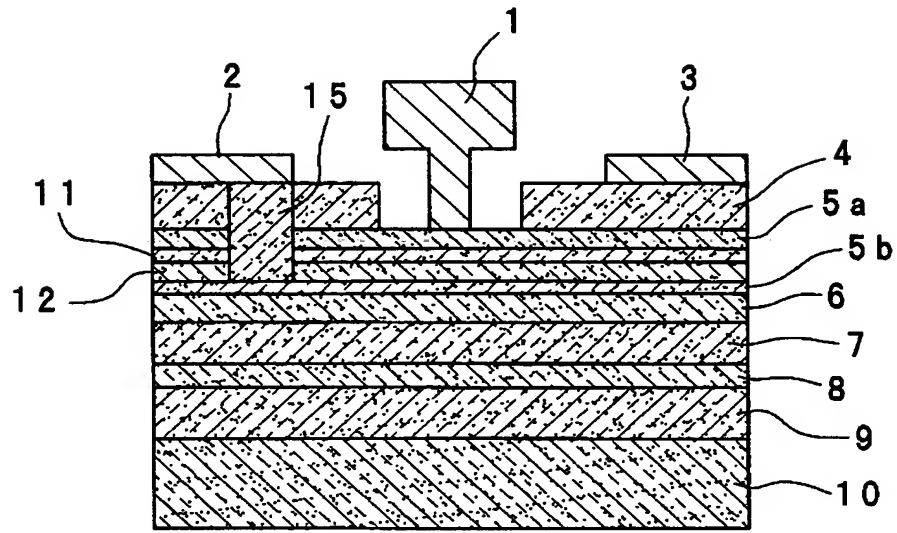
【図 1】



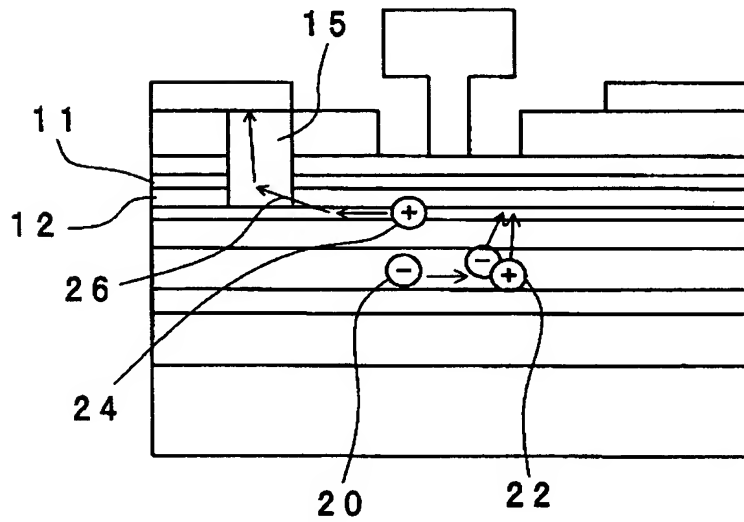
【図 2】



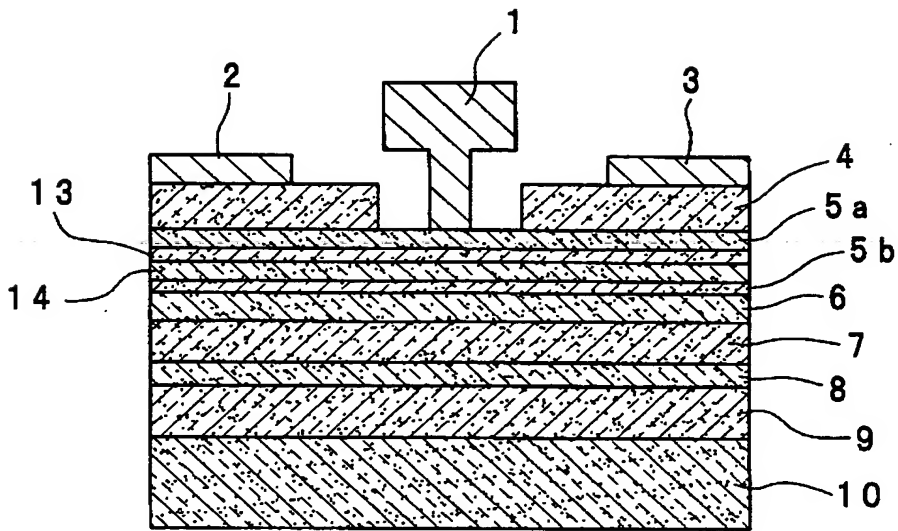
【図 3】



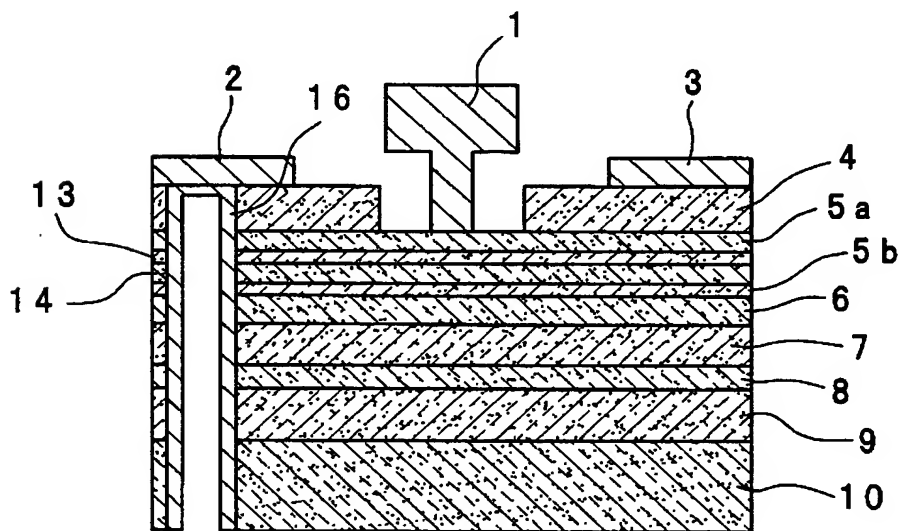
【図 4】



【図 5】

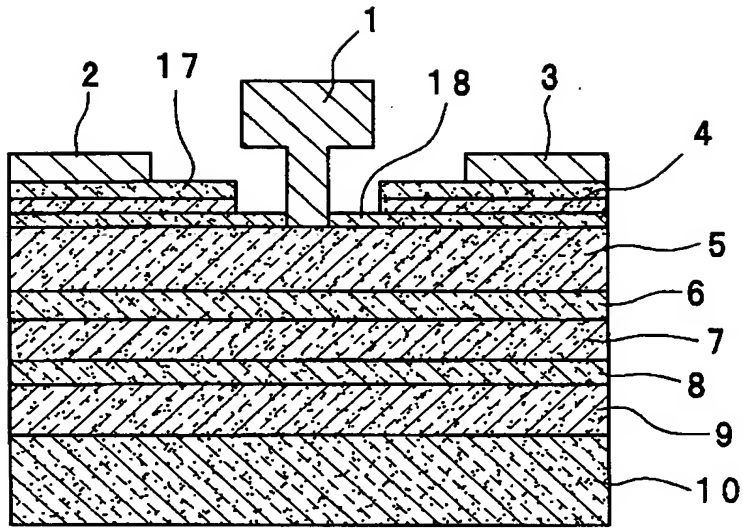


【図 6】

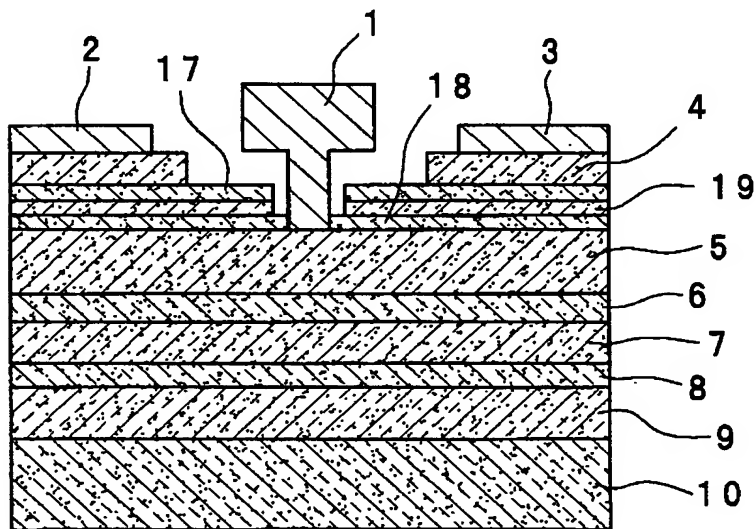




【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 MESFETやPHEMT等の半導体装置において、電界による特性劣化を抑制する。

【解決手段】 半導体装置は、半導体基板10上に形成されたチャネル層7と、前記チャネル層の上に形成されたショットキー層5a、5bと、前記ショットキー層の上に設けられたゲート電極1と、前記ショットキー層の上で、前記ゲート電極から互いに反対方向に離間した2箇所それぞれn+層4を介して設けられたソース電極2とドレイン電極3とを備え、前記ショットキー層より狭いバンドギャップを有する第1層12と、前記第1層の上に、前記ショットキー層に対してバンド不連続を有する第2層11とが、前記ショットキー層の中に挿入されている。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 6 0 1 3 ]

1. 変更年月日 1 9 9 0 年 8 月 2 4 日

[変更理由] 新規登録

住 所 東京都千代田区丸の内 2 丁目 2 番 3 号

氏 名 三菱電機株式会社